(19) Japan Patent Office (JP)
(12) Laid-Open Patent Report (A)
(11) Laid-open patent application no.
S58-181310
(43) Date laid open: October 24, 1983

(51) Int. Cl.[3]:
H 03 G 3/02

Identification code:

Internal control no.:
7154-5J
Number of inventions: 1
Inspection requested: Yes
(Total 3 pages)

(54) Title of the invention: Voltage gain control amplifier
(21) Application no.: S57-64372
(22) Application date: April 15, 1982

(72) Inventor: Yasunori SAKAGUCHI
Mitsubishi Electric Corp. Kitaitami Works, 1 Mizuhara 4-chome, Itami City

(71) Applicant: Mitsubishi Electric Corp.
2-3 Marunouchi 2-chome, Chiyoda-ku, Tokyo

(74) Agent: Nobuichi KUZUNO, Patent Attorney, and 1 other party

Specification

1. Title of the Invention

Voltage gain control amplifier

2. Scope of the Patent Claims

(1) A voltage gain control amplifier characterized by being equipped with first and second transistors that perform differential amplification on signal input; third and fourth transistors that constitute a first differential circuit of the emitter junction in which the current distribution ratio varies depending on the gain control voltage and said emitter junction is connected to thc collector of the aforementioned first transistor, and that supply the collector current of the aforementioned first transistor; fifth and sixth transistors that constitute a second differential circuit of the emitter junction in which the current distribution ratio varies depending on the gain control voltage and said emitter

junction is connected to the collector of the aforementioned second transistor, and that supply the collector current of the aforementioned second transistor; and a seventh transistor which constitutes the collector circuit of the aforementioned sixth transistor, of which the base is connected to a common collector resistor connected to both collectors of the aforementioned fourth and fifth transistors which similarly operate depending on the aforementioned gain control voltage, as well as to the collector to which both the aforementioned fourth and fifth transistors are connected, and of which the emitter is connected to the collector of the aforementioned sixth transistor via a collector resistor.

3. Detailed Explanation of the Invention

This invention pertains to a voltage gain control amplifier that changes gain depending on the magnitude of the applied DC voltage.

Figure 1 is a circuit diagram that shows an example of a conventional voltage gain control amplifier. (1) and (2) are npn transistors that constitute a differential pair, and (3) and (4) are first and second signal input terminals connected to the bases of transistors (1) and (2), respectively. The emitters of transistors (1) and (2) are connected to each other via rcsistors (5) and (6) which are connected in series, and a current source (7) is connected between the connection point and the ground point of resistor (5) and resistor (6). (8) and (9) are npn transistors that constitute a differential pair, and their emitters are both connected to the collector of transistor (1). (10) and (11) are npn transistors that constitute a differential pair, and their emitters are both connected to the collector of transistor (2). The collectors of transistors (8), (9) and (10) are all connected to a power supply terminal (12), and the collector of transistor (11) is connected to the power supply terminal (12) via a resistor (13). The bases of transistors (8) and (11) are both connected to a first control voltage terminal (14), and the bases of transistors (9) and (10) are both

connected to a second control voltage terminal (15). Also, an output terminal (16) comes out from the collector of transistor (11).

The operation of this conventional example is explained below. If the mutual conductance of the differential amplifier constructed of transistors (1) and (2) and resistors (5) and (6) and current source (7) is taken as g_{m1}, the DC voltage applied to the first control voltage terminal (14) is taken as V_1, the DC voltage applied to the second control terminal (15) is taken asV_2, and the resistance value of the resistor (13) is taken as R_L, then the gain of the voltage gain control amplifier shown in figure 1 exhibits the change as shown by the solid line in figure 2 depending on the value of $V_1 - V_2$. On the other hand, if the current of the current source (7) is taken as I_0 and the DC power supply voltage applied to the power supply terminal (12) is taken as V_{CC}, then the output DC potential at the output terminal (16) exhibits the change as shown by the dotted line in figure 2 depending on the value of $V_1 - V_2$.

Because the conventional voltage gain control amplifier is constructed as above, if the gain varies depending on the value of $V_1 - V_2$, then the output DC potential changes at the same time, and therefore it is difficult to connect it to the next amplification stage, and the amount of change of $V_1 - V_2$ accumulates in the output signal, and produces bad effects.

This invention was devised in order to eliminate the above drawbacks of conventional devices as described above, and its purpose is to provide a voltage gain control amplifier in which the output DC potential does not change in cases where the gain is varied depending on the control voltage $V_1 - V_2$.

Figure 3 is a circuit diagram that shows an implementation example of this invention. The same parts are shown by the same code numbers as in the conventional example of

figure 1, and their explanations are omitted. In this implementation example, a transistor (17) is inserted between the power supply terminal (12) and the resistor (13) in the collector circuit of the transistor (11). Its collector is connected to the power supply terminal (12), and its emitter is connected to the resistor (13). The collectors of transistors (9) and (10) are both connected, but they are not connected directly to the power supply terminal (12). Rather, they are connected to the power supply terminal (12) via a resistor (18), and this commonly connected collector is connected to the base of the transistor (17).

In the voltage gain control amplifier of this implementation example constructed as explained above, the change in gain in response to the value of $V_1 - V_2$ is completely the same as in the conventional example as shown by the solid line in figure 4. The change in output DC potential in response to the value of $V_1 - V_2$ is described below. If the DC bias voltages of the first signal input terminal (3) and the second signal input terminal (4) are equal, then the collector current of transistor (1) and the collector current of transistor (2) are equal, and they are both $I_0/2$. The collector current (I_{C8}) of transistor (8) and the collector current (I_{C9}) of transistor (9) vary depending on the value of $V_1 - V_2$, but if $I_{C8} = \alpha \times I_0/2$, then $I_{C9} = (1 - \alpha) \times I_0/2$ (where $0 \leq \alpha \leq 1$). Similarly, the collector current (I_{C10}) of transistor (10) and the collector current (I_{C11}) of transistor (11) are $I_{C10} = (1 - \alpha) \times I_0/2$, and $I_{C11} = \alpha \times I_0/2$. If the resistance of the resistor (18) is taken as R_1, then the base potential V_B of the transistor (17) is $V_B = V_{CC} - R_1 (I_{C9} + I_{C10}) = V_{CC} - R_1 (1 - \alpha) I_0$. Therefore, the output DC potential V_O at the output terminal (18) is

$$V_O = V_B - V_{BE} - R_L I_{C11}$$

$$= V_{CC} - R_1 (1 - \alpha) I_0 - V_{BE} - R_L \alpha I_0/2$$

$$= V_{CC} - V_{BE} - \{ R_1 (1 - \alpha) + R_L \alpha/2 \} I_0$$

$$= V_{CC} - V_{BE} - [R_1 + \{(R_L/2) - R_1\}\alpha] I_0$$

Here, V_{BE} is the voltage between the base and the emitter of transistor (17). Therefore, if $R_L/2 = R_1$, then $V_O = V_{CC} - V_{BE} - R_1 I_0$, and there is no relationship to α. That is, the output DC potential V_O does not change depending on the control voltage. This is shown by the dotted line in figure 4.

Furthermore, if an AC signal voltage is applied between input terminals (3) and (4), the amount of change in the collector current I_{C9} of transistor (9) differs in phase from the amount of change in the collector current I_{C10} of transistor (10) by 180 degrees, and since its magnitude is equal, the sum current does not change, and it does not appear as a change of the base potential V_B of transistor (17), and therefore it also does not appear as a change to the output DC potential V_O.

Furthermore, in the above implementation example, a voltage gain control amplifier constructed of npn transistors is shown, but it can also be constructed of npn[1] transistors.

Also, in the above implementation example, the explanation is limited to DC voltage, but AC voltage can also be used, and in addition, if the output signal of this amplifier is controlled by a rectified current, it can become an automatic gain control (AGC) amplifier.

As stated above, by this invention, there is the effect that it can be easily connected to the next stage because a circuit that eliminates fluctuations in output DC potential depending on control voltage is added.

4. Brief Explanation of the Diagrams

Figure 1 is a circuit diagram that shows an example of a conventional voltage gain control amplifier; figure 2 is a characteristics diagram that shows the relationship

[1] This is a mistake in the original Japanese. It should probably say "pnp".

between gain control voltage and gain and output DC potential of this conventional example; figure 3 is a circuit diagram that shows an implementation example of this invention; figure 4 is a characteristics diagram that shows the relationship between gain control voltage and gain and output DC potential of this implementation example.

In the diagrams, (1) is a first transistor; (2) is a second transistor; (3) and (4) are signal input terminals; (8) is a third transistor; (9) is a fourth transistor; (10) is a fifth transistor; (11) is a sixth transistor; (13) is a collector resistor; (14) and (15) are gain control voltage terminals; (17) is a seventh transistor; (18) is a common collector resistor.

Furthermore, in the diagrams, the same code numbers represent the same or equivalent parts.

Agent: Nobuichi KUZUNO, and one other party

Key to the figures

Figure 2
[Left axis] Gain
[Top center, dotted line] Output DC potential
[Right axis] Output DC potential
[Center, solid line] Gain

Figure 4
[Left axis] Gain
[Left center, dotted line] Output DC potential
[Right axis] Output DC potential
[Right center, solid line] Gain

⑲ 日本国特許庁 (JP)　　⑪ 特許出願公開

⑫ 公開特許公報 (A)　　昭58—181310

⑤Int. Cl.³　　識別記号　　庁内整理番号
H 03 G　3/02　　7154—5 J

⑬公開　昭和58年(1983)10月24日

発明の数　1
審査請求　有

(全 5 頁)

⑭電圧利得制御増幅装置

⑫特　　願　昭57—64372
⑫出　　願　昭57(1982)4月15日
⑫発 明 者　萩口康則
伊丹市瑞原4丁目1番地三菱電機株式会社伊丹製作所内
⑪出 願 人　三菱電機株式会社
東京都千代田区丸の内2丁目2番3号
⑫代 理 人　弁理士　葛野信一　外1名

明　　細　　書

1. 発明の名称

電圧利得制御増幅装置

2. 特許請求の範囲

(1) 信号入力に対して増幅増幅動作をする第1および第2のトランジスタ、利得制御電圧によって電流経路が変えられるエミッタ結合の第1の差動回路を構成するとともに第1エミッタ結合部が上記第1のトランジスタのコレクタに接続され上記第1のトランジスタのコレクタ電圧を供給する第3および第4のトランジスタ、上記利得制御電圧によって電流経路が変えられるエミッタ結合の第2の差動回路を構成するとともに第2エミッタ結合部が上記第2のトランジスタのコレクタに接続され上記第2のトランジスタのコレクタ電圧を供給する第5および第6のトランジスタ、上記利得制御電圧によって両端に動作する上記第4および第6のトランジスタのコレクタに共通に接続された共通コレクタ抵抗、並びに上記第4および第6のトランジスタの上記共通に接続された共通コレクタにベース入力端が接続されエミッタが上記第2のトランジスタのコレクタに接続されて上記第6のトランジスタのコレクタに接続されて上記第6のトランジスタのコレクタ出力を得る第7のトランジスタを備えたことを特徴とする電圧利得制御増幅装置。

3. 発明の詳細な説明

この発明は印加される制御電圧の大きさによって利得の変化する電圧利得制御増幅装置に関するものである。

第1図は従来の電圧利得制御増幅装置の一例を示す回路構成図で、(1)，(2)は差動対をなすnpnトランジスタ、(3)および(4)はそれぞれトランジスタ(1)および(2)のベースに接続された第1および第2の信号入力端子である。トランジスタ(1)，(2)のエミッタは定電流源を介した抵抗(5)および(6)を介して互いに接続され、抵抗(5)と抵抗(6)との接続点と接地点との間に定電流源(7)が接続されている。(8)と(9)とは差動対をなすnpnトランジスタで、両者のエミッタは共通にトランジスタ(2)のコレクタに接続されている。(8)と(9)とは差動対をなすnpnトラ

ンジスタで同様のエミッタは共通にトランジスタ(4)のコレクタに接続されている。トランジスタ(3)，(4)のコレクタはいずれも電源端子(6)に接続され，トランジスタ(4)のコレクタは抵抗(5)を介して電源端子(6)に接続されている。トランジスタ(3)，(4)のベースは共通に第1の制御電圧端子(7)に接続され、トランジスタ(3)，(4)のベースは共通に第2の制御電圧端子(8)に接続されている。そして、トランジスタ(4)のコレクタから出力端子(9)が引出されている。

次に、この従来例の動作について説明する。トランジスタ(3)および(4)並びに抵抗(5)および(6)並びに電圧源(7)で構成される温度補償型のエミッタフォロワ回路をe_{01}とし、第1の制御電圧端子(7)に印加される直流(DC)電圧をV_1，第2の制御端子(8)に印加されるDC電圧をV_2，抵抗(5)の抵抗値をR_1とすれば、第1図に示す電圧利得制御増幅回路の利得はV_1-V_2の値によって第3図の実線で示すような変化を示す。一方、電源(6)の電圧値をもとし電源端子(6)に印加されるDC電源電圧をV_{CC}とすれば出力端子(9)での出力DC電位はV_1-V_2の値によって第3図の破線で示すような変化を示す。

従来例は以上のように構成されているので、V_1-V_2の値で利得を変化させた場合，同時に出力のDC電位も変化するので、次の増幅器への接続が困難であった。、V_1-V_2の変化分が、出力信号に変調され、誤動作を及ぼすなどの欠点があった。

この発明は、上記のような従来のもの欠点を除去するためになされたもので、制御電圧V_1-V_2により利得を変化させた場合に、出力DC電位が変化しないような電圧利得制御増幅器を提供することを目的としている。

第3図はこの発明の一実施例を示す回路構成図で、第1図の従来例と同等部分は同一符号で示しその説明を省略する。この実施例ではトランジスタ(4)のコレクタ側負荷には電源端子(6)と抵抗(5)の間にトランジスタ(3)が挿入され、そのコレクタは電源端子(6)に、エミッタは抵抗(5)に接続されている。トランジスタ(3)，(4)のコレクタは共通に接続されている。トランジスタ(3)，(4)のコレクタは共通に接続されている出力端子(9)に接続されており、抵抗(5)を介して電源端子(6)に接続されており、かつ、この共通接続コレクタはトランジスタ(3)のベースに接続されている。

以上のように構成されたこの実施例における電圧利得制御増幅器では、V_1-V_2の値に対する利得の変化は第4図の実線に示すように従来例と全く同等である。次に、V_1-V_2の値に対する出力DC電位の変化について述べる。第1の信号入力端子(7)および第2の信号入力端子(8)の直流バイアス電圧が等しいとすれば、トランジスタ(3)のコレクタ電流とトランジスタ(4)のコレクタ電流とは等しく、それぞれ$I_0/2$となる。トランジスタ(3)のコレクタ電流(I_{C3})とトランジスタ(4)のコレクタ電流(I_{C4})はV_1-V_2の値によって変化するが $I_{C3}=\alpha\cdot I_0/2$とすれば $I_{C4}=(1-\alpha)\cdot I_0/2$（ただし、$0\leq\alpha\leq1$）となる。同様にトランジスタ(3)のコレクタ電流(I_{E3})とトランジスタ(4)のコレクタ電流(I_{E4})とは $I_{E3}=(1-\alpha)\cdot I_0/2$，$I_{E4}=\alpha\cdot I_0/2$となる。抵抗(5)の抵抗値を$R_1$とすれば、トランジスタ(3)のベース電位$V_3$は$V_3=V_{CC}-R_1(I_{C3}+I_{E3})=V_{CC}-R_1(1-\alpha)I_0$となるので、出力端子(9)での出力DC電位$V_0$は

$$\begin{aligned}V_0&=V_3-V_{BE}=R_1I_{E4}\\&=V_{CC}-R_1(1-\alpha)I_0-V_{BE}=R_1\alpha I_0/2\\&=V_{CC}-V_{BE}-(R_1(1-\alpha)+R_1\alpha/2)I_0\\&=V_{CC}-V_{BE}-(R_1+(R_1/2)-R_1\alpha)I_0\end{aligned}$$

となる。ただしV_{BE}はトランジスタ(3)のベース，エミッタ間電圧である。従って、$R_1/2=R_1$とすれば $V_0=V_{CC}-V_{BE}-R_1I_0$となり、αに無関係、すなわち、制御電圧によって出力DC電位V_0は変化しなくなる。この様子を第4図に破線で示す。

また、入力端子(7)，(8)に交流信号電圧が印加された場合、トランジスタ(4)のコレクタ電流I_{C4}の変化量とは位相が180°異なり、大きさが等しいので合計電流は変化せずトランジスタ(3)のベース電位V_3の変化としては現われないので、出力DC電位V_0にも現われることはない。

また、上記実施例ではnpnトランジスタで構成

される電圧制御利得可変増幅装置について示したが、ＭＯＳトランジスタによって構成してもよい。

また、上記実施例では制御電圧をＤＣ電圧に限って説明したが、交流電圧でもよく、さらにまた、この増幅器の出力信号を整流した信号で制御すれば、自動利得制御（ＡＧＣ）が可能となる。

以上のように、この発明によれば、制御電圧による出力ＤＣ電位の変動をなくす回路を付加したので、次段への接続が容易になる効果がある。

４．図面の簡単な説明

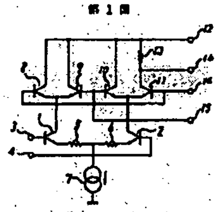
第１図は従来の電圧制御利得可変増幅装置の一例を示す回路構成図、第２図はこの従来例の利得制御電圧と利得および出力ＤＣ電位との関係を示す特性図、第３図はこの発明の一実施例を示す回路構成図、第４図はこの実施例の利得制御電圧と利得および出力ＤＣ電位との関係を示す特性図である。

図において、(1)は第１のトランジスタ、(2)は第２のトランジスタ、(3)，(4)は信号入力端子、(5)は第３のトランジスタ、(6)は第４のトランジスタ、(8)は第５のトランジスタ、(9)は第６のトランジスタ、(10)はコレクタ抵抗、(14)，(15)は利得制御電圧端子、(17)は第７のトランジスタ、(13)は[illegible]コレクタ抵抗である。

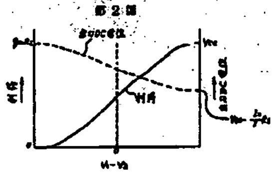
なお、図中同一符号は同一または相当部分を示す。

代理人　葛野信一（外１名）

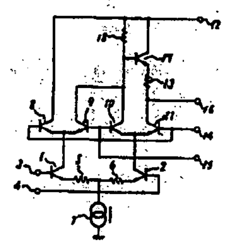
第１図



第２図



第３図



第４図